



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10313259 A**

(43) Date of publication of application: 24 . 11 . 98

(51) Int. Cl. H04B 1/26

(21) Application number: 09306223

(22) Date of filing: 07 . 11 . 97

(30) Priority: 10 . 03 . 97 JP 09 54386

(71) Applicant: SONY CORP

(72) Inventor: OUGIHARA TAKAHIRO

(54) HIGH FREQUENCY CIRCUIT

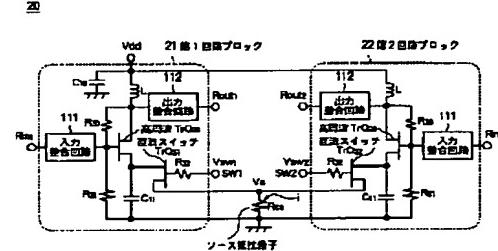
terminals.

(57) Abstract:

COPYRIGHT: (C)1998,JPO

PROBLEM TO BE SOLVED: To provide a high frequency circuit that is suitable for a front end application of a receiver receiving pluralities of high frequency signals and where a changeover switch configuration among pluralities of blocks processing each high frequency signal is simplified so as to attain miniaturization and switches are formed integrally with other high frequency transistors(TRs) such as a GaAsFET.

SOLUTION: Each of pluralities of circuit blocks 21, 22 is provided with DC switch TRs Qs1, Qs2 for DC switch shutting a path of a DC bias current (i) supplied in a circuit block not selected based on a non-selection signal. A common load element Rss between the blocks is connected between sources of the TRs Qs1, Qs2 and a common level. In the case of a high frequency mixer circuit, an RF input terminal is used for each block and an LO input terminal and an IF output terminal are used in common for the blocks. Furthermore, each block includes DC switch TRs Qs1, Qs4 and has input output interrupt sections that shut a DC current path in the case of non-selection to sufficiently attain high frequency isolation between the input and output.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-313259

(43)公開日 平成10年(1998)11月24日

(51)Int.Cl.⁶

H 0 4 B 1/26

識別記号

F I

H 0 4 B 1/26

B

C

審査請求 未請求 請求項の数13 O L (全 13 頁)

(21)出願番号 特願平9-306223

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(22)出願日 平成9年(1997)11月7日

(72)発明者 扇原 孝浩

東京都品川区北品川6丁目7番35号 ソニ

(31)優先権主張番号 特願平9-54386

一株式会社内

(32)優先日 平9(1997)3月10日

(74)代理人 弁理士 佐藤 隆久

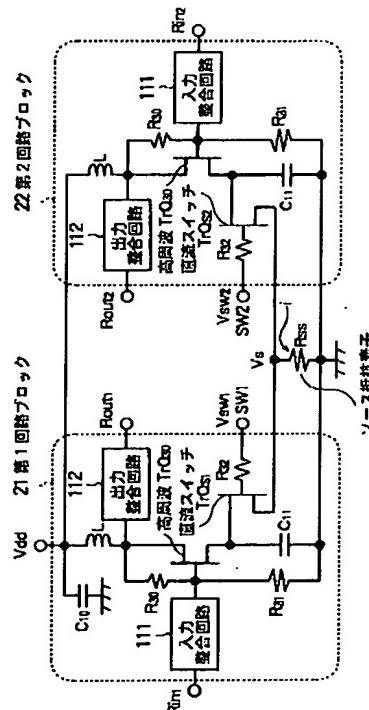
(33)優先権主張国 日本 (JP)

(54)【発明の名称】 高周波回路

(57)【要約】

【課題】各高周波信号を扱う複数のブロック間の切替用スイッチが、高周波トランジスタと一体形成できず、M I Cの小型化ができない。

【解決手段】複数の各回路ブロック21, 22は、そのブロックが選択されないときは、非選択信号にもとづいて当該回路ブロック内を流れる直流バイアス電流*i*の経路を遮断する直流スイッチ用トランジスタQ_{s1}, Q_{s2}をそれぞれ有する。当該トランジスタQ_{s1}, Q_{s2}のソースに対し、ブロック間で共通な負荷素子R_{ss}が共通電位との間に接続している。高周波ミキサ回路の場合、RF入力端子は各ブロックごとに、LO入力端子とIF出力端子は全ブロック間で共通とする。また、各ブロックは、前記直流スイッチ用トランジスタを含み、非選択時の直流電流経路を遮断し、入出力端子間の高周波絶縁性を十分に達成する入出力遮断部をそれぞれ有する。



【特許請求の範囲】

【請求項1】受信したRF信号が入力される回路ブロックを複数個有し、

前記複数の各回路ブロックは、そのブロックが選択されないときに、入力される非選択信号にもとづいて当該回路ブロック内を流れる直流バイアス電流の経路を遮断する直流スイッチ用トランジスタをそれぞれ有する高周波回路。

【請求項2】前記直流スイッチ用トランジスタは、そのソースが回路ブロック間で相互に接続されて共通な負荷素子を介して共通電圧の供給線に接続され、ゲートに前記非選択信号が印加されたときに、前記直流バイアス電流としてのドレインとソース間電流を遮断する請求項1に記載の高周波回路。

【請求項3】前記直流スイッチ用トランジスタのドレインは、当該直流スイッチ用トランジスタと同じ回路ブロック内の高周波トランジスタのソースに接続され、

当該高周波トランジスタのソースと前記共通電圧の供給線との間に、高周波接地用キャパシタが接続されている請求項1に記載の高周波回路。

【請求項4】前記高周波トランジスタとして、ゲートに入力されたRF信号を増幅してドレイン側から出力する高周波增幅用トランジスタを有する請求項3に記載の高周波回路。

【請求項5】前記高周波トランジスタは、ガリウム砒素電界効果トランジスタである請求項3に記載の高周波回路。

【請求項6】RF信号を局部発振周波数信号と混合してIF信号を出力するミキサ回路ブロックをRF信号の周波数帯域ごとに複数個有し、

前記ミキサ回路ブロックごとに、前記RF信号が入力されるRF入力端子を備え、

前記局部発振周波数信号を入力するLO入力端子、前記IF信号を出力するIF出力端子それぞれが、全てのミキサ回路ブロック間で共通化され、

前記複数のミキサ回路ブロックは、そのブロックに固有なRF信号が選択されないときは、入力される非選択信号にもとづいて当該ミキサ回路ブロック内を流れる直流バイアス電流の経路を遮断することによって、少なくとも前記RF入力端子に対する前記IF出力端子の高周波的な絶縁性を十分に高める入出力遮断部をそれぞれ有する高周波回路。

【請求項7】前記入出力遮断部は、ソースが回路ブロック間で相互に接続されて共通な負荷素子を介して共通電圧の供給線に接続され、ゲートに前記非選択信号が印加されたときに、前記直流バイアス電流としてのドレインとソース間電流を遮断する直流スイッチ用トランジスタを有する請求項6に記載の高周波回路。

【請求項8】前記ミキサ回路ブロックは、ドレインに電源電圧が印加され、ソースが高周波接地用キャパシタを

介して前記共通電圧に接続され、ゲートに前記RF信号と前記局部発振周波数信号が入力されたときにドレイン側から前記IF信号を出力するミキサ用トランジスタを有し、

前記入出力遮断部は、前記直流スイッチ用トランジスタとして、ゲートに前記非選択信号が入力されたときに前記ミキサ用トランジスタに流れる動作電流を遮断する出力スイッチ用トランジスタを有する請求項7に記載の高周波回路。

10 【請求項9】前記ミキサ回路ブロックは、ドレインに接続された前記RF入力端子からRF信号が入力され、ゲートに前記局部発振周波数信号が入力されたときに、ソースからIF信号を出力するミキサ用トランジスタと、ドレインに電源電圧が印加され、ソースが高周波接地用キャパシタを介して前記共通電圧に接続され、ゲートが前記ミキサ用トランジスタのソースに接続され、当該ゲートに入力される前記IF信号を増幅してドレインから出力するIF増幅用トランジスタを有し、

前記入出力遮断部は、前記直流スイッチ用トランジスタとして、ゲートに前記非選択信号が入力されたときに前記IF増幅用トランジスタに流れる動作電流を遮断する出力スイッチ用トランジスタを有する請求項7に記載の高周波回路。

【請求項10】前記ミキサ回路ブロックは、前記ミキサ用トランジスタのゲートと前記電源電圧供給線または前記共通電圧供給線との間に接続され、ゲートに接続された前記LO入力端子から入力した前記局部発振周波数信号を増幅して前記ミキサ用トランジスタのゲートに出力するLO増幅用トランジスタを更に有し、

30 前記入出力遮断部は、第2の前記直流スイッチ用トランジスタとして、ゲートに前記非選択信号が入力されたときに前記LO増幅用トランジスタに流れる動作電流を遮断する入力スイッチ用トランジスタを更に有する請求項8に記載の高周波回路。

【請求項11】前記ミキサ回路ブロックは、前記ミキサ用トランジスタのゲートと前記電源電圧供給線または前記共通電圧供給線との間に接続され、ゲートに接続された前記LO入力端子から入力した前記局部発振周波数信号を増幅して前記ミキサ用トランジスタのゲートに出力するLO増幅用トランジスタを更に有し、

前記入出力遮断部は、第2の前記直流スイッチ用トランジスタとして、ゲートに前記非選択信号が入力されたときに前記LO増幅用トランジスタに流れる動作電流を遮断する入力スイッチ用トランジスタを更に有する請求項9に記載の高周波回路。

【請求項12】前記ミキサ用トランジスタは、前記RF入力端子に接続された第1のゲート電極と、前記局部発振周波数信号が入力される第2のゲート電極とを有するデュアルゲート構造のガリウム砒素電界効果トランジスタである請求項8に記載の高周波回路。

【請求項13】前記直流スイッチ用トランジスタは、ガリウム砒素電界効果トランジスタである請求項7に記載の高周波回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばダイバーシティーアンテナを有する受信装置または移動体通信の受信系等、複数の同一または異なる高周波信号を入力して、それぞれ増幅、周波数変換等の処理を行う高周波回路に関する。

【0002】

【従来の技術】無線通信の分野における受信装置では、アンテナダイバーシティー、或いは周波数等が異なる複数のシステムへの対応を実現するために、そのフロントエンドである低雑音増幅器、ミキサ等を複数個予め用意しておき、その中から1経路を選択的に動作させ、他の経路を当該選択した経路から高周波的に遮断して使用する場合が多い。

【0003】この複数のシステム対応が要求される無線通信で、近年、目覚ましく発展しているものとして、携帯電話に代表される移動体通信がある。たとえば、国内においては、従来からの800MHz帯のアナログセルラーに加え、新たに800MHz帯および1.5GHz帯のデジタルセルラー(PDC)が実用化され、数年前からはパーソナルハンディフォンシステム(PHS)がサービスを始めている。また、海外では欧州、米国それぞれに種々な方式が存在する。このように、一言で移動体通信といってもそのシステムは多様であり、また、周波数の割り当ても異なる。そして、これらの複数のシステムによるサービスを1つの携帯端末で受けられるようにする技術開発も既に始まっており、近々商品化される状況にある。

【0004】複数のシステムの送受信を1つの端末で実現しようとする場合、RF(Radio-Frequency)段で最も影響を受けるのはシステムによる周波数の相違である。とくに、この周波数の相違の影響が受信系で最も大きいと考えられるのは、周波数変換を行なう初段ミキサ部であり、通常、初段ミキサ部はシステム(使用する周波数帯域)ごと分けて構成される。なぜなら、ミキサ部ではイメージ帶やhalf IFによる2次歪み抑圧のために、使用帯域のRF信号のみを通過させる狭帯域な帯域通過フィルタをミキサ部前段に設ける必要があるからである。一方、バッテリーにより駆動される携帯端末にとって小型化および低消費電力化を如何に図るかは重要な課題であり、このため優れた高周波特性を有し低消費電力化に有利なGaAs MMIC(Monolithic microwave integrated circuits)によるミキサ部の開発が盛んに進められている。GaAs MMICでミキサ部を実現した場合、低消費電力で優れた高周波特性を得ることができる周波数帯域幅は比較的狭いことから、この意味でも初段ミキ

サ部を周波数帯域ごとのブロックに分けて構成する必要性は高い。

【0005】図9は、従来の複数システムの受信が可能な初段ミキサ回路の構成例として、RF1とRF2といった2つのRF信号を選択して周波数のダウンコンバートが可能なデュアルバンド対応ミキサ回路のブロック図を示す。この従来のミキサ回路100は、第1ミキサ回路ブロック101と、第2ミキサ回路ブロック102と、両ミキサ回路ブロック101, 102のLO入力端子LOin1とLOin2の間に接続され、図示せぬ局部発振器からの発振信号(LO信号)の入力方向を選択的に切り替えるLO入力高周波スイッチ103と、ミキサ回路ブロック101と102の出力端子IFout1とIFout2の間に接続されて、出力を切り替えるIF出力高周波スイッチ104とから構成される。そして、ミキサ回路ブロック101と102のRF入力端子RFin1とRFin2には、それぞれ通過帯域の異なる狭帯域フィルタ105, 106が入力を共通化して接続されている。

【0006】2つのミキサ回路ブロック101と102のそれぞれは、ミキサ101a又は102aと、LOバッファアンプ101b又は102bと、IFアンプ101c又は102cとから構成される。

【0007】2つの高周波スイッチ103および104は、それぞれGaAsのFETスイッチ或いはSiのダイオードスイッチ等から構成されている。図10は、GaAs FETを用いた高周波スイッチの一般的な構成例を示す回路図である。この高周波スイッチは、入力端子RFinに接続された入力結合容量Cinと第1の出力端子RFout1に接続された第1の出力結合容量Cout1との間に、制御信号CTL1がゲートに入力されて導通する第1の転送スイッチ用FETQ1が接続されている。同様に、第2の出力端子RFout2に接続された第2の出力結合容量Cout2と前記入力結合容量Cinとの間に、制御信号CTL1と逆相の制御信号CTL2がゲートに入力されて導通する第2の転送スイッチ用FETQ2が接続されている。第1の出力結合容量Cout1と第1の転送スイッチ用FETQ1との接続ノードには、接地電位との間に、第2の制御信号CLT2によって導通する第3のFETQ3とRF接地用容量C3とが直列接続されている。同様に、第2の出力結合容量Cout2と第2の転送スイッチ用FETQ2との接続ノードには、接地電位との間に、第1の制御信号CLT1によって導通する第4のFETQ4とRF接地用容量C4とが直列接続されている。また、この高周波的に接地される2つの接続ノード間、2つの転送スイッチ用FETQ1, Q2の接続点と接地電位の間、および制御信号CTL1, CTL2の各入力経路に、それぞれ図示のように抵抗R40～R49が接続されている。このように構成された高周波スイッチでは、一方の転送スイッチ用FETQ1またはQ2が選択的に導通状態に遷移すると、他方の転送スイッチ用FETが

40

50

非導通状態に遷移し、かつ出力端子側が高周波接地される。このため、入力端子 RFin から入力される信号は、他方の出力端子側に漏洩することなく一方の出力端子に導かれて出力される。

【0008】ところで、無線通信の分野における受信装置では、上記したミキサ回路ブロック内の各種アンプといった異なる周波数帯域の信号增幅用のほか、例えばアンテナダイバーシティー等、同じ RF 信号を複数入力する受信機においても、フロントエンド增幅用等に様々な增幅器を内蔵している。

【0009】図11には、その最も簡単な例として1段の高周波增幅回路の基本構成を示す。また、図12には、入力が2系統ある受信装置において、図1の基本增幅回路を各回路ブロックに内蔵させた場合を例示する。図11に示す1段構成の高周波增幅回路110は、高周波增幅用トランジスタQ30、入力整合回路111、出力整合回路112、及びバイアス回路から構成されている。また、高周波增幅用トランジスタQ30のドレインバイアス電流安定化の手段として最も簡便で一般的な、ソース抵抗を利用して自己バイアス方式が採用されている。

【0010】電源端子 Vdd と接地電位との間に、負荷インダクタ L、高周波增幅用トランジスタ Q30 およびソース抵抗素子 Rs を直列に接続させている。電源端子 Vdd と接地電位との間、高周波增幅用トランジスタ Q30 のソースと接地電位との間に、それぞれ高周波接地用キャパシタ C10、C11 が接続されている。高周波增幅用トランジスタ Q30 のゲートは、そのドレンととの間に抵抗 R30、接地電位との間に抵抗 R31 を有し、その分圧によりバイアス電圧が設定されている。また、高周波增幅用トランジスタ Q30 のゲートと RF 入力端子 RFin との間に前記入力整合回路 111、高周波增幅用トランジスタ Q30 のドレンと RF 出力端子 Rout との間に前記出力整合回路 112 が、それぞれ接続されている。なお、入出力整合回路 111、112 については、通常インダクタとキャパシタを使用したリアクティブ回路により構成されている。

【0011】図12は、2系統入力の受信装置の初段部をなす2つのブロック内に、図11の増幅回路を備えている場合を示す。この初段部 120 は、第1回路ブロック 121、第2回路ブロック 122 を有し、それらの電源電圧供給経路を切り替える一般的な手段として、一方の回路ブロックのみ選択的にアクティブにする電源供給切替部 123 を備える。各回路ブロック 121、122 は、図11の基本構成を有し、各回路ブロックごとに、RF 入力端子 RFin1 又は RFin2 と、RF 出力端子 RFout1 又は RFout2、及び電源端子 Vdd1 又は Vdd2 が設けられている。この両電源端子 Vdd1、Vdd2 に、前記電源供給切替部 123 が接続され、これにより制御端子 Cnt に入力される制御信号に応じて電源入力端子 Vdd か

らの電源電圧 Vsw が電源端子 Vdd1、Vdd2 の何れか一方に供給されるように切替え制御がなされる。

【0012】

【発明が解決しようとする課題】ところが、例えば図9及び図12に例示した複数入力の受信装置では、特にブロック切替え手段をモノリシック IC 化する際に、以下に示す課題があった。まず、図9に示す初段ミキサ回路 100 では、高周波スイッチ 103、104 が用いられているが、一般に、高周波スイッチで LO 信号や 1F 信号の経路を十分に遮断するには、図10に示す如くスイッチ自体の構成が複雑になるうえ、配線のオーバラップ部分等が特性に影響することからスイッチの小型化が図り難い。このため、高周波スイッチでブロックを切り替えるといった従来構成の高周波ミキサ回路は、その小型化が図り難く、また集積化に適さないブロック構成であった。

【0013】他方、図12に例示した回路 120 では、電源供給切替回路 123 等の手段を備え、これにより選択すべき経路に対応するブロックの電源端子に電源電圧を与え、他の未使用の電源端子をオフ即ち 0V にすることで入出力端子間を高周波的に遮断するが、このため特別に電源供給切替回路 123 等の手段を設ける必要があり、これがシステム設計上大きな負担となっていた。

【0014】このブロック選択のためのバイアス電流遮断機能を内部に備えた増幅回路としては、図13に示す回路が従来から知られている。この増幅回路 130 では、図11の基本構成にバイアス電流遮断機能を付加したものとなっている。すなわち、高周波增幅用トランジスタ Q30 のソースとソース抵抗 Rs との間に、直流スイッチ用トランジスタ Qs を挿入させ、そのゲートが抵抗 R32 を介してスイッチ端子 SW に接続されている。

【0015】しかし、この増幅回路 130 を GaAsFET 集積回路においてモノリシックに実現しようとした場合、以下の問題が生じる。増幅回路 130 を正電源のみで動作可能とするには、少なくとも高周波增幅用トランジスタ Q30 をエンハンスマント型とする必要がある。GaAsFET として最も一般的な MESFET の場合、その拡散電位は 0.6V ~ 0.7V であることから、DC 特性のほかに高周波特性を考慮した現実的なピンチオフ電圧範囲は、せいぜい 0.1V ~ 0.3V と非常に狭く、製造プロセスのバラツキを考えると実用化は難しい。一方、拡散電位が約 1.2V と高い JFET であれば、ピンチオフ電圧範囲は少なくとも 0.1V ~ 0.6V を見込め、製造プロセスのバラツキを考慮しても実用化可能となる。ところが、現実の回路ではその動作電圧マージンを考慮すると、ピンチオフ下限電圧を更に高くする必要が生じる。

【0016】図14は、図13と同様なバイアス電流遮断機能を高周波ミキサ回路に適用して試作した場合における、変換利得のスイッチ端子電圧 Vsw 依存性を示すグ

ラフである。本試作例では、図13の直流スイッチ用トランジスタQsにGaAsJFETを用い、そのピンチオフ電圧は0.1V~0.2V程度、電源電圧V_{dd}は2.7Vである。図14より、変換利得は、スイッチ端子電圧V_{sw}がオフ電圧である0Vから高くなると急峻な増加傾向を示し、この結果、オフ時の動作電圧マージンが極めて小さいことが分かる。

【0017】また、図15は、図14と同じ試作例において、バイアス電流のスイッチ端子電圧V_{sw}依存性を測定し、その結果をグラフ化したものである。図15において、スイッチ端子電圧V_{sw}が0V付近のバイアス電流は、図13の高周波增幅用トランジスタQ30のゲートバイアス電圧を生成する抵抗R30及びR31内を、電源電圧V_{dd}側から流れる電流である。したがって、高周波增幅用トランジスタQ30のドレイン電流成分は、グラフから読み取ったバイアス電流値からスイッチ端子電圧V_{sw}が0Vの時のバイアス電流値を差し引いたものにほぼ等しく、高周波增幅用トランジスタQ30にドレイン電流が流れ始めるときのスイッチ端子電圧は、バイアス電流が上昇し始めるスイッチ端子電圧V_{sw0}である。したがって、この電圧V_{sw0}付近に高周波增幅用トランジスタQ30のピンチオフ電圧があり、グラフから、このピンチオフ電圧を境に高周波特性が急峻に変化することが分かる。これに回路の動作電圧マージンを考慮し、このマージンを0.3Vとした場合、ピンチオフ下限電圧として少なくとも0.4V程度を見込む必要があり、この結果、回路の動作電圧マージンを考慮したピンチオフ電圧範囲が0.4V~0.6Vと、FETの拡散電圧に基づくピンチオフ電圧範囲0.1V~0.6Vに比べ急に狭くなってしまう。よって、製造プロセスのバラツキを考慮すると、JFETであっても、図13に示す単一電源回路を同一基板上にモノリシックに実現することは難しい。

【0018】本発明は、このような実情に鑑みてなされ、同一又は周波数等が異なる複数の高周波信号を受信可能な受信装置のフロントエンド用途に好適で、各高周波信号を扱う複数のブロック間の切替用スイッチ構成を簡易なものとして小型化を図り、また当該スイッチをGaAsFET等の他の高周波用トランジスタと一緒に形成可能とした新たな構成の高周波回路を提供することを目的とする。

【0019】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上記目的を達成するために、本発明の高周波回路では、従来の高周波スイッチ、或いは電源切替え機構に代えて、動作電圧マージンが広くできる構成のDCスイッチを用い、しかも、このDCスイッチを、複数の高周波信号入力に対応する複数の各回路ブロック内にそれぞれ内蔵させた。

【0020】すなわち、本発明の高周波回路では、受信

したRF信号が入力される回路ブロックを複数個有し、前記複数の各回路ブロックは、そのブロックが選択されないときは、入力される非選択信号にもとづいて当該回路ブロック内を流れる直流バイアス電流の経路を遮断する直流スイッチ用トランジスタをそれぞれ有する。この直流スイッチ用トランジスタは、そのソースが回路ブロック間で相互に接続されて共通な負荷素子を介して共通電圧の供給線に接続され、ゲートに前記非選択信号が印加されたときに、前記直流バイアス電流としてのドレインとソース間電流を遮断する。また、前記直流スイッチ用トランジスタのドレインは、当該直流スイッチ用トランジスタと同じ回路ブロック内の高周波トランジスタのソースに接続され、当該高周波トランジスタのソースと前記共通電圧の供給線との間に、高周波接地用キャパシタが接続されている。

【0021】このような回路構成は、增幅回路、ミキサ回路等の種々な高周波回路に適用できる。ミキサ回路の場合、RF信号を局部発振周波数信号と混合してIF信号を出力するミキサ回路ブロックをRF信号の周波数帯域ごとに複数個有し、前記ミキサ回路ブロックごとに、前記RF信号が入力されるRF入力端子を備え、前記局部発振周波数信号を入力するLO入力端子、前記IF信号を出力するIF出力端子それぞれが、全てのミキサ回路ブロック間で共通化され、前記複数のミキサ回路ブロックは、そのブロックに固有なRF信号が選択されないときは、入力される非選択信号にもとづいて当該ミキサ回路ブロック内を流れる直流バイアス電流の経路を遮断することによって、少なくとも前記RF入力端子に対する前記IF出力端子の高周波的な絶縁性を十分に高める入出力遮断部をそれぞれ有する。この場合の入出力遮断部も、好ましくは、前述したと同様にブロック間で負荷素子を共通化した構成を有する。

【0022】さらに具体的なミキサ回路の構成例として、例えば、前記ミキサ回路ブロックは、ドレインに電源電圧が印加され、ソースが高周波接地用キャパシタを介して前記共通電圧に接続され、ゲートに前記RF信号と前記局部発振周波数信号が入力されたときにドレイン側から前記IF信号を出力するミキサ用トランジスタを有し、前記入出力遮断部は、前記直流スイッチ用トランジスタとして、ゲートに前記非選択信号が入力されたときに前記ミキサ用トランジスタに流れる動作電流を遮断する出力スイッチ用トランジスタを有する。また、他の構成例として、例えば、前記ミキサ回路ブロックでは、ドレインに接続された前記RF信号入力端子からRF信号が入力され、ゲートに前記局部発振周波数信号が入力されたときに、ソースからIF信号を出力するミキサ用トランジスタと、ドレインに電源電圧が印加され、ソースが高周波接地用キャパシタを介して前記共通電圧に接続され、ゲートが前記ミキサ用トランジスタのソースに接続され、当該ゲートに入力される前記IF信号を增幅

してドレインから出力する I F 増幅用トランジスタとを有し、前記入出力遮断部は、前記直流スイッチ用トランジスタとして、ゲートに前記非選択信号が入力されたときに前記 I F 増幅用トランジスタに流れる動作電流を遮断する出力スイッチ用トランジスタを有する。

【0023】一般に、2つの異なる高周波信号を混合すると、広い周波数帯域内に種々の周波数成分が容易に生成されることから、ミキサ用または I F 増幅用のトランジスタについて、そのサイズや構造によっては非導通時に全ての周波数成分に対し高い絶縁性を確保することが難しい場合がある。このため、ミキサ回路ブロック内の入出力間で確実に高い絶縁性を確保するためには、L O 信号の入力経路を遮断して信号のミキシングそのものを行なわないことが望ましい。この観点から、好ましくは、上記2つの具体的な構成例において、前記ミキサ回路ブロックは、前記ミキサ用トランジスタのゲートと前記電源電圧供給線または前記共通電圧供給線との間に接続され、ゲートに接続された前記 L O 入力端子から入力した前記局部発振周波数信号を増幅して前記ミキサ用トランジスタのゲートに出力する L O 増幅用トランジスタを更に有し、前記入出力遮断部は、第2の前記直流スイッチ用トランジスタとして、ゲートに前記非選択信号が入力されたときに前記 L O 増幅用トランジスタに流れる動作電流を遮断する入力スイッチ用トランジスタを更に有する。

【0024】上述のように本発明をミキサ回路に適用した場合、出力スイッチ用トランジスタにより、一般に G a A s F E T を用いて構成されるミキサ用トランジスタについて、不使用時には、そのドレイン電流経路が遮断されるので、当該ミキサ回路の入出力間高周波絶縁が充分に確保され、ブロックの選択が実現可能となる。また、局部発振周波数信号の入力経路を入力スイッチ用トランジスタによりミキサ用トランジスタの入力と切り離し、これによりミキシングそのものを止めることができる。入出力遮断部は、基本的構成が、单一の F E T と、これに付随した数個の受動素子で構成されている。このミキサ回路の場合を含め、本発明の高周波回路では、入出力遮断部の直流スイッチ用 F E T のソースが、ブロック間で相互接続されて負荷素子を介して共通電位に接続されているので、使用ブロック内から当該負荷素子に動作電流が流れ込むため、不使用ブロック内でオフしている高周波トランジスタのソース電位が上昇し、これが当該高周波トランジスタのピンチオフ電圧範囲を拡大する方向に作用する。

【0025】

【発明の実施の形態】以下、本発明に係る高周波回路を、図面にもとづいて詳細に説明する。本発明は、前述したように、少なくとも2以上の同一信号、又は周波数帯域等が異なる信号を入力するシステムに対応可能な高周波回路に関する。したがって、本発明を用いれば、3

10
15
20
25
30
35
40
45
50
55
60
65
70
75
80
85
90
95
100
105
110
115
120
125
130
135
140
145
150
155
160
165
170
175
180
185
190
195
200
205
210
215
220
225
230
235
240
245
250
255
260
265
270
275
280
285
290
295
300
305
310
315
320
325
330
335
340
345
350
355
360
365
370
375
380
385
390
395
400
405
410
415
420
425
430
435
440
445
450
455
460
465
470
475
480
485
490
495
500
505
510
515
520
525
530
535
540
545
550
555
560
565
570
575
580
585
590
595
600
605
610
615
620
625
630
635
640
645
650
655
660
665
670
675
680
685
690
695
700
705
710
715
720
725
730
735
740
745
750
755
760
765
770
775
780
785
790
795
800
805
810
815
820
825
830
835
840
845
850
855
860
865
870
875
880
885
890
895
900
905
910
915
920
925
930
935
940
945
950
955
960
965
970
975
980
985
990
995
1000
1005
1010
1015
1020
1025
1030
1035
1040
1045
1050
1055
1060
1065
1070
1075
1080
1085
1090
1095
1100
1105
1110
1115
1120
1125
1130
1135
1140
1145
1150
1155
1160
1165
1170
1175
1180
1185
1190
1195
1200
1205
1210
1215
1220
1225
1230
1235
1240
1245
1250
1255
1260
1265
1270
1275
1280
1285
1290
1295
1300
1305
1310
1315
1320
1325
1330
1335
1340
1345
1350
1355
1360
1365
1370
1375
1380
1385
1390
1395
1400
1405
1410
1415
1420
1425
1430
1435
1440
1445
1450
1455
1460
1465
1470
1475
1480
1485
1490
1495
1500
1505
1510
1515
1520
1525
1530
1535
1540
1545
1550
1555
1560
1565
1570
1575
1580
1585
1590
1595
1600
1605
1610
1615
1620
1625
1630
1635
1640
1645
1650
1655
1660
1665
1670
1675
1680
1685
1690
1695
1700
1705
1710
1715
1720
1725
1730
1735
1740
1745
1750
1755
1760
1765
1770
1775
1780
1785
1790
1795
1800
1805
1810
1815
1820
1825
1830
1835
1840
1845
1850
1855
1860
1865
1870
1875
1880
1885
1890
1895
1900
1905
1910
1915
1920
1925
1930
1935
1940
1945
1950
1955
1960
1965
1970
1975
1980
1985
1990
1995
2000
2005
2010
2015
2020
2025
2030
2035
2040
2045
2050
2055
2060
2065
2070
2075
2080
2085
2090
2095
2100
2105
2110
2115
2120
2125
2130
2135
2140
2145
2150
2155
2160
2165
2170
2175
2180
2185
2190
2195
2200
2205
2210
2215
2220
2225
2230
2235
2240
2245
2250
2255
2260
2265
2270
2275
2280
2285
2290
2295
2300
2305
2310
2315
2320
2325
2330
2335
2340
2345
2350
2355
2360
2365
2370
2375
2380
2385
2390
2395
2400
2405
2410
2415
2420
2425
2430
2435
2440
2445
2450
2455
2460
2465
2470
2475
2480
2485
2490
2495
2500
2505
2510
2515
2520
2525
2530
2535
2540
2545
2550
2555
2560
2565
2570
2575
2580
2585
2590
2595
2600
2605
2610
2615
2620
2625
2630
2635
2640
2645
2650
2655
2660
2665
2670
2675
2680
2685
2690
2695
2700
2705
2710
2715
2720
2725
2730
2735
2740
2745
2750
2755
2760
2765
2770
2775
2780
2785
2790
2795
2800
2805
2810
2815
2820
2825
2830
2835
2840
2845
2850
2855
2860
2865
2870
2875
2880
2885
2890
2895
2900
2905
2910
2915
2920
2925
2930
2935
2940
2945
2950
2955
2960
2965
2970
2975
2980
2985
2990
2995
3000
3005
3010
3015
3020
3025
3030
3035
3040
3045
3050
3055
3060
3065
3070
3075
3080
3085
3090
3095
3100
3105
3110
3115
3120
3125
3130
3135
3140
3145
3150
3155
3160
3165
3170
3175
3180
3185
3190
3195
3200
3205
3210
3215
3220
3225
3230
3235
3240
3245
3250
3255
3260
3265
3270
3275
3280
3285
3290
3295
3300
3305
3310
3315
3320
3325
3330
3335
3340
3345
3350
3355
3360
3365
3370
3375
3380
3385
3390
3395
3400
3405
3410
3415
3420
3425
3430
3435
3440
3445
3450
3455
3460
3465
3470
3475
3480
3485
3490
3495
3500
3505
3510
3515
3520
3525
3530
3535
3540
3545
3550
3555
3560
3565
3570
3575
3580
3585
3590
3595
3600
3605
3610
3615
3620
3625
3630
3635
3640
3645
3650
3655
3660
3665
3670
3675
3680
3685
3690
3695
3700
3705
3710
3715
3720
3725
3730
3735
3740
3745
3750
3755
3760
3765
3770
3775
3780
3785
3790
3795
3800
3805
3810
3815
3820
3825
3830
3835
3840
3845
3850
3855
3860
3865
3870
3875
3880
3885
3890
3895
3900
3905
3910
3915
3920
3925
3930
3935
3940
3945
3950
3955
3960
3965
3970
3975
3980
3985
3990
3995
4000
4005
4010
4015
4020
4025
4030
4035
4040
4045
4050
4055
4060
4065
4070
4075
4080
4085
4090
4095
4100
4105
4110
4115
4120
4125
4130
4135
4140
4145
4150
4155
4160
4165
4170
4175
4180
4185
4190
4195
4200
4205
4210
4215
4220
4225
4230
4235
4240
4245
4250
4255
4260
4265
4270
4275
4280
4285
4290
4295
4300
4305
4310
4315
4320
4325
4330
4335
4340
4345
4350
4355
4360
4365
4370
4375
4380
4385
4390
4395
4400
4405
4410
4415
4420
4425
4430
4435
4440
4445
4450
4455
4460
4465
4470
4475
4480
4485
4490
4495
4500
4505
4510
4515
4520
4525
4530
4535
4540
4545
4550
4555
4560
4565
4570
4575
4580
4585
4590
4595
4600
4605
4610
4615
4620
4625
4630
4635
4640
4645
4650
4655
4660
4665
4670
4675
4680
4685
4690
4695
4700
4705
4710
4715
4720
4725
4730
4735
4740
4745
4750
4755
4760
4765
4770
4775
4780
4785
4790
4795
4800
4805
4810
4815
4820
4825
4830
4835
4840
4845
4850
4855
4860
4865
4870
4875
4880
4885
4890
4895
4900
4905
4910
4915
4920
4925
4930
4935
4940
4945
4950
4955
4960
4965
4970
4975
4980
4985
4990
4995
5000
5005
5010
5015
5020
5025
5030
5035
5040
5045
5050
5055
5060
5065
5070
5075
5080
5085
5090
5095
5100
5105
5110
5115
5120
5125
5130
5135
5140
5145
5150
5155
5160
5165
5170
5175
5180
5185
5190
5195
5200
5205
5210
5215
5220
5225
5230
5235
5240
5245
5250
5255
5260
5265
5270
5275
5280
5285
5290
5295
5300
5305
5310
5315
5320
5325
5330
5335
5340
5345
5350
5355
5360
5365
5370
5375
5380
5385
5390
5395
5400
5405
5410
5415
5420
5425
5430
5435
5440
5445
5450
5455
5460
5465
5470
5475
5480
5485
5490
5495
5500
5505
5510
5515
5520
5525
5530
5535
5540
5545
5550
5555
5560
5565
5570
5575
5580
5585
5590
5595
5600
5605
5610
5615
5620
5625
5630
5635
5640
5645
5650
5655
5660
5665
5670
5675
5680
5685
5690
5695
5700
5705
5710
5715
5720
5725
5730
5735
5740
5745
5750
5755
5760
5765
5770
5775
5780
5785
5790
5795
5800
5805
5810
5815
5820
5825
5830
5835
5840
5845
5850
5855
5860
5865
5870
5875
5880
5885
5890
5895
5900
5905
5910
5915
5920
5925
5930
5935
5940
5945
5950
5955
5960
5965
5970
5975
5980
5985
5990
5995
6000
6005
6010
6015
6020
6025
6030
6035
6040
6045
6050
6055
6060
6065
6070
6075
6080
6085
6090
6095
6100
6105
6110
6115
6120
6125
6130
6135
6140
6145
6150
6155
6160
6165
6170
6175
6180
6185
6190
6195
6200
6205
6210
6215
6220
6225
6230
6235
6240
6245
6250
6255
6260
6265
6270
6275
6280
6285
6290
6295
6300
6305
6310
6315
6320
6325
6330
6335
6340
6345
6350
6355
6360
6365
6370
6375
6380
6385
6390
6395
6400
6405
6410
6415
6420
6425
6430
6435
6440
6445
6450
6455
6460
6465
6470
6475
6480
6485
6490
6495
6500
6505
6510
6515
6520
6525
6530
6535
6540
6545
6550
6555
6560
6565
6570
6575
6580
6585
6590
6595
6600
6605
6610
6615
6620
6625
6630
6635
6640
6645
6650
6655
6660
6665
6670
6675
6680
6685
6690
6695
6700
6705
6710
6715
6720
6725
6730
6735
6740
6745
6750
6755
6760
6765
6770
6775
6780
6785
6790
6795
6800
6805
6810
6815
6820
6825
6830
6835
6840
6845
6850
6855
6860
6865
6870
6875
6880
6885
6890
6895
6900
6905
6910
6915
6920
6925
6930
6935
6940
6945
6950
6955
6960
6965
6970
6975
6980
6985
6990
6995
7000
7005
7010
7015
7020
7025
7030
7035
7040
7045
7050
7055
7060
7065
7070
7075
7080
7085
7090
7095
7100
7105
7110
7115
7120
7125
7130
7135
7140
7145
7150
7155
7160
7165
7170
7175
7180
7185
7190
7195
7200
7205
7210
7215
7220
7225
7230
7235
7240
7245
7250
7255
7260
7265
7270
7275
7280
7285
7290
7295
7300
7305
7310
7315
7320
7325
7330
7335
7340
7345
7350
7355
7360
7365
7370
7375
7380
7385
7390
7395
7400
7405
7410
7415
7420
7425
7430
7435
7440
7445
7450
7455
7460
7465
7470
7475
7480
7485
7490
7495
7500
7505
7510
7515
7520
7525
7530
7535
7540
7545
7550
7555
7560
7565
7570
7575
7580
7585
7590
7595
7600
7605
7610
7615
7620
7625
7630
7635
7640
7645
7650
7655
7660
7665
7670
7675
7680
7685
7690
7695
7700
7705
7710
7715
7720
7725
7730
7735
7740
7745
7750
7755
7760
7765
7770
7775
7780
7785
7790
7795
7800
7805
7810
7815
7820
7825
7830
7835
7840
7845
7850
7855
7860
7865
7870
7875
7880
7885
7890
7895
7900
7905
7910
7915
7920
7925
7930
7935
7940
7945
7950
7955
7960
7965
7970
7975
7980
7985
7990
7995
8000
8005
8010
8015
8020
8025
8030
8035
8040
8045
8050
8055
8060
8065
8070
8075
8080
8085
8090
8095
8100
8105
8110
8115
8120
8125
8130
8135
8140
8145
8150
8155
8160
8165
8170
8175
8180
8185
8190
8195
8200
8205
8210
8215
8220
8225
8230
8235
8240
8245
8250
8255
8260
8265
8270
8275
8280
8285
8290
8295
8300
8305
8310
8315
8320
8325
8330
8335
8340
8345
8350
8355
8360
8365
8370
8375
8380
8385
8390
8395
8400
8405
8410
8415
8420
8425
8430
8435
8440
8445
8450
8455
8460
8465
8470
8475
8480
8485
8490
8495
8500
8505
8510
8515
8520
8525
8530
8535
8540
8545
8550
8555
8560
8565
8570
8575
8580
8585
8590
8595
8600
8605
8610
8615
8620
8625
8630
8635
8640
8645
8650
8

ス電流遮断、即ちピンチオフ時における等価回路を示す。ここで、ゲート幅 L_w を $200\mu m$ 、バイアス条件としては、ドレイン電圧 V_d とソース電圧 V_s を等しくし、ゲートとソース間電圧 V_{gs} を $-1V$ （但し、ピンチオフ電圧 $V_{pinchoff} > V_{gs}$ ）に設定する。この場合のゲート抵抗 R_g 、ドレイン抵抗 R_d 、ソース抵抗 R_s 、ゲートとソース間容量 C_{gs} 、ゲートとドレイン間容量 C_{gd} 、ドレインとソース間容量 C_{ds} の各値は、それぞれ 7.5Ω 、 2.5Ω 、 2.5Ω 、 $70fF$ 、 $70fF$ 、 $50fF$ 程度である。そして、このときのソース接地におけるゲートとドレイン間のアイソレーションは、 $2GHz$ において $20dB$ 以上、また入出力インピーダンスは約 600Ω と高く、実用上問題のないレベルを確保することができる。各RF端子間にFETを多段接続すれば、更にアイソレーションを向上させることが可能である。

【0030】図3は、GaAsFETのドレインバイアス電流を遮断して入出力間のアイソレーションを行なう入出力遮断部を付加した回路図である。トランジスタ Q_s がミキサ用トランジスタ Q_m のドレイン電流遮断用のDCスイッチング素子であり、端子SWの電圧によりトランジスタ Q_s はオン／オフの動作が可能である。トランジスタ Q_s がオフ時にはトランジスタ Q_m のソース電位が上昇するためトランジスタ Q_m がオフ、即ちピンチオフ状態となり、図2の等価回路に示すドレインバイアス電流遮断時のアイソレーションが実現される。なお、図3における符号 R_{ss} はドレイン電流を安定化させるソース抵抗素子、 R_{01} はゲートバイアス抵抗、 R_{02} はゲート直列抵抗、 C は高周波接地用キャパシタ、 I は負荷インダクタを示す。

【0031】以下、このGaAsFETのドレインバイアス電流遮断によってブロック選択（及びブロック間アイソレーション）を好適に実現した高周波回路の実施形態を、ミキサ回路と增幅回路を例として図面を参照しながら説明する。

【0032】第1実施形態

図4は、第1実施形態に係る高周波ミキサ回路の回路図である。第1ミキサ回路ブロック2内に、デュアルゲート構造のミキサ用トランジスタ Q_{11} が設けられ、同様に、第2ミキサ回路ブロック3内にもデュアルゲート構造のミキサ用トランジスタ Q_{12} が設けられている。これら2つのミキサ用トランジスタ Q_{11} および Q_{12} は、そのドレイン同士が相互接続され、共通なIF出力端子IFoutに接続されている。ミキサ用トランジスタ Q_{11} の第1ゲートはRF入力端子RFin1に接続され、ミキサ用トランジスタ Q_{12} の第1ゲートはRF入力端子RFin2に接続されている。

【0033】ミキサ用トランジスタ Q_{11} と Q_{12} に、LO增幅用トランジスタ Q_{13} 又は Q_{14} が高利得化のためカスクード接続されている。すなわち、LO增幅用トランジスタ Q_{13} のドレインがミキサ用トランジスタ Q_{11} の第2

ゲートに接続され、同様に、LO增幅用トランジスタ Q_{14} のドレインがミキサ用トランジスタ Q_{12} の第2ゲートに接続されている。なお、ミキサ用トランジスタ Q_{11} とLO增幅用トランジスタ Q_{13} との間に結合容量 C_1 、ミキサ用トランジスタ Q_{12} とLO增幅用トランジスタ Q_{14} との間に結合容量 C_2 がそれぞれ介在している。ミキサ用トランジスタ Q_{11} 、 Q_{12} の各第1ゲートは、それぞれ抵抗 R_1 又は R_2 を介して接地されている。同様に、ミキサ用トランジスタ Q_{11} 、 Q_{12} の各第2ゲートは、それぞれ抵抗 R_3 又は R_4 を介して接地されている。各結合容量 C_1 、 C_2 とLO增幅用トランジスタ Q_{13} 、 Q_{14} のドレイン間の接続ノードが、それぞれ電源電圧の供給端子 V_{dd1} 又は V_{dd2} に接続されている。LO增幅用トランジスタ Q_{13} 、 Q_{14} は、その第1ゲートが共通なLO入力端子 $LOin$ に接続され、それぞれ抵抗 R_5 又は R_6 を介して接地電位に接続されている。LO增幅用トランジスタ Q_{13} 、 Q_{14} の第2ゲートは、それぞれ抵抗 R_7 と容量 C_3 、又は抵抗 R_8 と容量 C_4 を接地電位との間に並列接続させて高周波的な接地がとられている。

【0034】ミキサ用トランジスタ Q_{11} 、 Q_{12} のソースと接地電位との間に、出力スイッチ用トランジスタ Q_{15} 、 Q_{16} とソース抵抗素子 R_{ss1} との直列回路が、それぞれ接地容量 C_5 又は C_6 と並列に接続されている。同様に、LO增幅用トランジスタ Q_{13} 、 Q_{14} のソースと接地電位との間に、入力スイッチ用トランジスタ Q_{17} 、 Q_{18} とソース抵抗素子 R_{ss2} との直列回路が、それぞれ接地容量 C_7 又は C_8 と並列に接続されている。これらスイッチ用トランジスタ Q_{15} 、 Q_{16} 、 Q_{17} および Q_{18} は、シングルゲート構造を有している。スイッチ用トランジスタ Q_{15} 、 Q_{17} のゲートは、それぞれ抵抗 R_9 又は R_{11} を介して第1のスイッチ端子SW1に接続され、スイッチ用トランジスタ Q_{16} 、 Q_{18} のゲートは、それぞれ抵抗 R_{10} 又は R_{12} を介して第2のスイッチ端子SW2に接続されている。これら高抵抗 R_9 ～ R_{12} とスイッチ用トランジスタ Q_{15} ～ Q_{18} により、本発明の“入出力遮断部”が構成され、また、ブロック間で共通に設けられたソース抵抗素子 R_{ss1} 、 R_{ss2} は本発明の“負荷素子”に該当する。

【0035】なお、図4において、入出力の整合回路等については省略してある。また、RF信号とLO信号のミキサ用トランジスタへの入力は逆、即ち第1ゲートにLO信号を入力し、第2ゲートにRF信号を入力してもよい。本実施形態の回路構成では、ミキサ部（ミキサ用トランジスタ）で変換利得を得ることができるため、IFアンプは特に設けていないが、更に変換利得を高めるためIFアンプをミキサ部の後段に設けてもよい。

【0036】つぎに、このように構成される高周波ミキサ回路1の動作について、第1ミキサ回路ブロック2を選択し、第2ミキサ回路ブロック3を非選択とする場合を例に説明する。この場合、選択信号が第1ミキサ回路

ブロック2のスイッチ端子SW1に印加され、選択信号と逆相の非選択信号が第2ミキサ回路ブロック3のスイッチ端子SW2に印加される。このため、第1ミキサ回路ブロック2内の2つの直流スイッチ用トランジスタQ15, Q17がともに導通状態となり、第2ミキサ回路ブロック3内の2つの直流スイッチ用トランジスタQ16, Q18がともに非導通状態となる。

【0037】 第1ミキサ回路ブロック2内では、ミキサ用トランジスタQ11にはIF出力端子IFoutから電源電圧V_{DD}によるドレインバイアス電流の経路が確保され動作状態が整えられる。また、LO增幅用トランジスタQ13についても、ドレインバイアス電流の経路が確保され動作状態が整えられる。この状態で、LO入力端子LOinからLO信号が入力されると、LO信号はLO增幅用トランジスタQ13で増幅され、結合容量C1を介してミキサ用トランジスタQ11の第2ゲートに入力される。また、RF入力端子RFin1からRF信号が入力され、ミキサ用トランジスタQ11の第1ゲートに印加されると、このミキサ用トランジスタQ11によってRF信号がLO信号とミキシングされる。ミキサ用トランジスタQ11の出力には、LO信号とRF信号の周波数の相違に応じて、IF信号を含む種々の周波数の信号が現れIF出力端子IFoutに導かれる。以後は、このIF出力端子IFoutからの信号をローパスフィルタを通過させること等によってIF信号を取り出される。

【0038】 一方、第2ミキサ回路ブロック3は、2つのスイッチ用トランジスタQ16, Q18がともに非導通状態となることから、ミキサ用トランジスタQ12およびLO增幅用トランジスタQ14がともにドレイン電流遮断(ピンチオフ)状態となる。このため、第2ミキサ回路ブロック3の動作が停止されるとともに、図4に示すRF入力側のP1点、ミキシング出力側のP2点、およびLO入力側のP3点について、その相互間の高周波的なアイソレーションが充分に達成される。この結果、第2ミキサ回路ブロック3のRF入力端子RFin2に信号が入力されたとしても、これがIF出力端子IFoutからの信号に殆ど影響を及ぼすことがなく、システム間の干渉が実用上問題のないレベルまで低減される。

【0039】第2実施形態

本実施形態は、図1の第1及び第2の高周波回路ブロック2, 3の他の形態を例示するものであり、図1～図3は本実施形態においても適用される。

【0040】 図5は、本実施形態に係る高周波ミキサ回路の回路図である。この高周波ミキサ回路10は、エンハンスマント型GaNFETによる正電源電圧による動作が可能な2系統のRF入力端子をもった回路例を示すものであり、第1実施形態の場合と同様、整合回路等については省略してある。

【0041】 本回路構成におけるミキサ用トランジスタQ19, Q20は、シングルゲート構造を有し、ドレインと

ソース間に電圧を印加しないスイッチ型として用いている。すなわち、ゲートにLO信号を入力し、ソースとドレンの一方にRF信号を入力し、ソースとドレンの他方からミキシング後の信号を取り出すように接続されている。より詳しい接続関係を述べると、ミキサ用トランジスタQ19, Q20のソースとドレンの一方にRF入力端子RFin1又はRFin2が接続され、ミキサ用トランジスタQ19, Q20のゲートに、第1実施形態と同様に、デュアルゲート構造のLO增幅用トランジスタQ13又はQ14が、それぞれ結合容量C1又はC2を介して接続されている。LO增幅用トランジスタQ13又はQ14は、その第1ゲートが共通なLO入力端子LOinに接続され、第2ゲートが高周波接地用キャパシタC3又はC4によって高周波的に接地されている。このLO增幅用トランジスタQ13とQ14の第1及び第2ゲートのバイアス電圧は、抵抗R5～R7のほかに、R21～R24によって設定されている。ミキサ用トランジスタQ19, Q20のソースとドレンの他方側は、抵抗R13又はR14を介して接地電位に接続されるとともに、結合容量C9又はC10を介して、シングルゲート構造のIF增幅用トランジスタQ21またはQ22のゲートに接続されている。このIF增幅用トランジスタQ21, Q22のドレンが共通化され、この共通接続点がIF出力端子IFoutに接続されている。IF出力端子IFoutから電源電圧V_{DD}の供給を受ける構成を採用していることは第1実施形態の場合と同様である。このため、IF增幅用トランジスタQ21, Q22のドレンと接地電位の間には2つの抵抗R15とR16、又はR17とR18がそれぞれ直列接続され、その抵抗分割によってゲートバイアス点を設定している。

【0042】 また、本実施形態のミキサ用トランジスタQ19, Q20のゲートには、バイアス回路が接続されている。このバイアス回路では、バイアス供給点(この場合、IF增幅用トランジスタQ21, Q22のゲート)と接地電位との間に、負荷抵抗RL1またはRL2と、例えば200μm程度とゲート幅Wgが比較的大きなトランジスタQ23またはQ24とがそれぞれ直列接続されている。このトランジスタQ23, Q24のゲートとドレンは短絡され、しかも容量C11又はC12を介して接地電位に接続されている。また、このトランジスタQ23, Q24のゲートは、高インピーダンス素子(ここでは、抵抗R19又はR20)を介してミキサ用トランジスタQ19またはQ20のゲートに接続されている。

【0043】 このようにバイアス回路を構成しているのは、本回路構成におけるミキサ用トランジスタQ19, Q20を、ドレンとソース間に電圧を印加しないスイッチ型として用いているからである。一般に、ドレンとソース間に電圧を印加せず、特性がゲートバイアス電圧に大きく依存する場合、バイアス回路として通常多用される電流帰還型を用いることはできない。スイッチ型のミキサ用トランジスタQ19, Q20は、その変換効率(ミキ

シング効率) がゲートバイアス電圧 V_{gg} に大きく依存し、例えばゲート閾値電圧 V_{th} の製造上のバラツキによりゲートバイアス電圧 V_{gg} が設定値からずれるとミキシングロスが発生する。このバイアス回路において、トランジスタ Q23, Q24 のゲート幅 W_g と負荷抵抗 R_{L1}, R_{L2} を十分大きな値に設定すれば、ゲートバイアス電圧 V_{gg} をゲート閾値電圧 V_{th} に近づけ、しかもゲート閾値電圧 V_{th} とともに変化させることができ、この結果、ミキシングロスの発生を有効に防止することができる。

【0044】本実施形態においても、第1実施形態とほぼ同様な構成の入出力遮断部を各ミキサ回路ブロック内に内蔵している。ただし、本実施形態の場合、ミキサ用トランジスタ Q19, Q20 にはドレイン電流が本来的に流れないとされていることから、出力スイッチ用トランジスタ Q15, Q16 は、ミキサ用トランジスタ Q19, Q20 ではなく、IF増幅用トランジスタ Q19, Q20 のソースに接続させている。この IF 増幅用トランジスタ Q19, Q20 のソースは、それぞれ容量 C13 又は C14 を介して接地電位に接続されている。

【0045】本実施形態のミキサ回路は、正電源で対応可能なこと、バイアス回路によりゲートバイアス電圧 V_{gg} が最適化されたミキサ用トランジスタ Q19, Q20 のドレインまたはソース側から RF 信号が入力されること、及びミキシング後の信号が IF 増幅用トランジスタ Q21, Q22 で増幅されて取り出されること以外、その基本的な動作は第1実施形態とほぼ同様である。また、第1実施形態と同様な効果、即ちスイッチング端子 SW1, SW2 に入力される信号の論理状態に応じて、トランジスタ Q15, Q17、トランジスタ Q16, Q18 の何れか一方のペアが選択的に非導通状態になって、その一方のミキサ回路ブロックの動作を停止させ、IF 出力端子 IFout に対する高周波的な絶縁が充分に達成される。

【0046】第3実施形態

本実施形態では、本発明がミキサ回路以外にも適用可能なことを例示するため、2系統からなる1段構成の高周波增幅回路について説明する。

【0047】図6は、この高周波增幅回路の概略構成を示す回路図である。この高周波增幅回路 20 は、図12 に示す従来回路 120 の電源供給切替回路 123 に代えて、各ブロック内の基本構成にドレインバイアス遮断機能を付加したものである。図6における入力整合回路 111、出力整合回路 112、高周波増幅用トランジスタ Q30、ゲートバイアス抵抗 R30, R31、高周波接地用キャパシタ C10, C11、負荷インダクタ L の各構成は、従来と同様である。また、各ブロックごとに、RF 入力端子 RFin1 又は RFin2 と、RF 出力端子 RFout1 又は RFout2 を備えることも従来と同様である。

【0048】本実施形態の高周波増幅回路 20 の2つの回路ブロック 21, 22 が従来構成と異なる点は、高周波増幅用トランジスタ Q30 のソースと接地電位との間

に、直流スイッチ用トランジスタ Qs1 又は Qs2 とソース抵抗素子 Rss が直列接続され、しかもソース抵抗素子 Rss がブロック間で共通化されていることである。つまり、第1及び第2回路ブロック 21, 22 内の2つの直流スイッチ用トランジスタ Qs1, Qs2 のソース同士が短絡され、その接続点と接地電位との間に上記ソース抵抗素子 Rss が挿入されている。また、スイッチ端子が各回路ブロックごとに設けられ、各直流スイッチ用トランジスタ Qs のゲートは、それぞれゲート直列抵抗 R32 を介してスイッチ端子 SW1 又は SW2 に接続されている。さらに、電源端子 Vdd と接地容量 C10 は一方の回路ブロック (図6 では、第1回路ブロック 21) にのみ設けられ、他方の回路ブロックの負荷インダクタ L の一方端が、一方の回路ブロックの電源端子 Vdd に接続されている。

【0049】このような構成の高周波增幅回路 20 では、電源端子 Vdd に電源電圧 V_{dd} を供給し、選択的に一つの回路ブロックを動作させる。いま、例えば第2回路ブロック 22 のスイッチ端子電圧 V_{sw2} をハイレベル、第1回路ブロック 21 のスイッチ端子電圧 V_{sw1} をロー レベルとする。これにより、第2回路ブロック 22 内の直流スイッチ用トランジスタ Qs2 がオン、第1回路ブロック 21 内の直流スイッチ用トランジスタ Qs1 がオフし、第2回路ブロック 22 内の高周波増幅用トランジスタ Q30 のみ、ドレインバイアス電流 (動作電流) が流れる。この第2回路ブロック 22 が選択され、第1回路ブロック 21 が非選択となった状態では、RF 入力端子 RFin2 に入力される RF 信号が、増幅後に RF 出力端子 RFout1 から出力されるが、他方の RF 出力端子 RFout2 からは増幅後の信号が出力されない。

【0050】この動作において、第2回路ブロック 22 内でオン状態にある直流スイッチ用トランジスタ Qs2 から、動作電流 i がソース抵抗素子 Rss に流れる。この結果、他方の第1回路ブロック 21 内でオフ状態にある直流スイッチ用トランジスタ Qs1 のソース電位が、図13 に示すソース抵抗が共通化されてない単独の場合に比較して、ソース抵抗素子 Rss の電圧降下分 Vs だけ上昇する。これは、従来に比べ、オフ状態のトランジスタのゲートとドレイン間の電圧 $V_{ds}(off)$ を相対的に Vs だけ負電圧方向にシフトさせることを意味する。その結果、ローレベルのスイッチ端子電圧 V_{sw1} をハイレベルに遷移させたときに、回路ブロックの選択動作におけるオフ状態の動作電圧マージンが拡大される。

【0051】なお、先の説明では詳述しなかったが、前記第1及び第2の実施形態においても、高周波トランジスタのソースに直流スイッチ用トランジスタを接続し、そのソースをブロック間で短絡して負荷素子を介して接地する構成は、この第3実施形態と同様であり、同様な効果を奏する。第1実施形態ではミキサ用トランジスタ Q11, Q12、第2実施形態では IF 増幅用トランジスタ

Q21, Q22が、本発明の“高周波トランジスタ”に該当する。

【0052】最後に、このオフ状態の動作電圧マージン拡大を具体的な試作例において検証した結果について、高周波ミキサ回路への適用例において述べる。

【0053】図7及び図8に、上記図5の回路を試作した場合における、変換利得のスイッチ端子電圧依存性を示す。ここでの試作サンプルは、従来の課題を指摘した際に用いた図14及び図15の場合と同様、デバイスはG a A s J F E Tであり、そのピンチオフ電圧 $V_{pinchoff}$ は0. 1 V～0. 2 V程度であった。また、試作した高周波ミキサ回路10(図5)におけるソース短絡点の電位 v_s が1. 2 V～1. 3 Vとなるように、ソース抵抗素子 R_{ss1} , R_{ss2} の抵抗値が設定されている。なお、本回路測定時の電源電圧 V_{dd} は2. 7 Vとした。

【0054】図7は、図5において第1ミキサ回路ブロック2をオフ状態、第2ミキサ回路ブロック3をオン状態とし、第1ミキサ回路ブロック2においてスイッチ端子SW1の端子電圧 V_{sw1} を変化させたときの第2ミキサ回路ブロック3での変換利得の推移を示すグラフである。パラメータとして、他方のスイッチ端子SW2の端子電圧 V_{sw2} をとり、これが2. 0 Vと2. 7 Vの場合を示している。このグラフより、変換利得が大きく減少し始める端子電圧 V_{sw1} は1. 3 V～1. 4 Vであり、これはソース抵抗端電圧 v_s とピンチオフ電圧の和に等しく、従ってオフ時の動作電圧のマージン($V_{sw1} - V_{pinchoff}$)は1 V以上確保できていることが判る。このオフ時の動作電圧マージンは、スイッチ端子SW2の端子電圧 V_{sw2} を2. 7 Vから2. 0 Vに下げても、これに殆ど影響を受けていない。

【0055】図8は、第1ミキサ回路ブロック2をオン、第2ミキサ回路ブロック3をオフとし、第2ミキサ回路ブロック3の端子電圧 V_{sw2} をオン方向に変化させたときの第2ミキサ回路ブロック3での変換利得の推移を示すグラフである。この変換利得は、オン状態のブロックの端子電圧 V_{sw1} に若干依存するものの、図7の場合と同様、高周波特性はオフ時の端子電圧 V_{sw2} が1. 3 V～1. 4 V付近で大きく変化しており、これよりオフ時の動作マージンが拡大して端子電圧 V_{sw2} が1 V以下であれば安定した高周波遮断特性が得られていることが判る。

【0056】この試作例では、オフ時の動作電圧マージンが1 V以上確保できることから、オフ時の高周波遮断特性を確保した上で、スイッチ動作の電圧マージン上限を0. 3 Vと仮定すれば、高周波トランジスタの下限ピンチオフ電圧は、余裕をみても-0. 6 V程度までは許容できる。したがって、高周波トランジスタがM E S F E Tの場合のピンチオフ電圧範囲は-0. 6 V～+0. 3 V程度に、又、J F E Tの場合であれば-0. 6 V～+0. 6 V程度に拡大できる。その結果、製造プロセス

のバラツキを考慮しても、G a A s F E T等、高周波特性に優れるが拡散電位に基づくピンチオフ電圧範囲が狭いデバイスから構成された高周波回路について、その動作が安定し、バイアス電流遮断機能のモノリシック化が可能となる。

【0057】

【発明の効果】本発明に係る高周波回路によれば、選択回路ブロック内を流れる動作電流が共通ソースに接続された負荷素子を流れるときの電圧降下によって、非選択回路ブロック内でオフ状態にある高周波トランジスタのピンチオフ電圧が拡大し、その結果、当該非選択回路ブロックのオフ状態の動作電圧マージンが拡大する。このため、もともとピンチオフ電圧範囲が狭くバイアス電流遮断機能のモノリシック化が困難であった高特性な高周波デバイスを用いて、優れた特性の小型で高機能なM I Cが種々実現可能となる。

【0058】また、本発明をミキサ回路に適用した場合、例えばG a A s F E T等のドレイン電流遮断時における各端子間の高アイソレーション特性を利用すること等によって、複数のR F周波数帯域に対応したマルチシステム対応型ミキサ回路を、高周波スイッチ等による複雑な回路構成を必要とせず、簡単に省スペースで構成することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態に係る2システム対応の高周波ミキサ回路の構成を示すブロック図である。

【図2】G a A s F E Tのドレインバイアス電流遮断、即ちピンチオフ時における等価回路を示す。

【図3】G a A s F E Tに、そのドレインバイアス電流を遮断して入出力間のアイソレーションを行なう入出力遮断部を附加した回路図である。

【図4】本発明の第1実施形態に係る高周波ミキサ回路の回路図である。

【図5】本発明の第2実施例に係る高周波ミキサ回路の回路図である。

【図6】本発明の第3実施形態に係る高周波増幅回路の概略構成を示す回路図である。

【図7】図5の回路を試作し第2ミキサ回路ブロックを選択した場合、第2ミキサ回路ブロックの変換利得について、その第1ミキサ回路ブロックのスイッチ端子電圧依存性を示すグラフである。

【図8】図5の回路を試作し第1ミキサ回路ブロックを選択した場合、第2ミキサ回路ブロックの変換利得について、その第2ミキサ回路ブロックのスイッチ端子電圧依存性を示すグラフである。

【図9】従来のデュアルバンド対応ミキサ回路のブロック図である。

【図10】G a A s F E Tを用いた高周波スイッチの一般的な構成例を示す回路図である。

【図11】従来の高周波増幅器の基本構成を示す回路図

である。

【図12】入力が2系統ある従来の受信装置において、図11の基本增幅回路を各回路ブロックに内蔵させた場合の回路図である。

【図13】図11の基本構成にバイアス電流遮断機能をもたせた場合の回路図である。

【図14】図13と同様なバイアス電流遮断機能を高周波ミキサ回路に適用して試作した場合における、変換利得のスイッチ端子電圧 V_{sw} 依存性を示すグラフである。

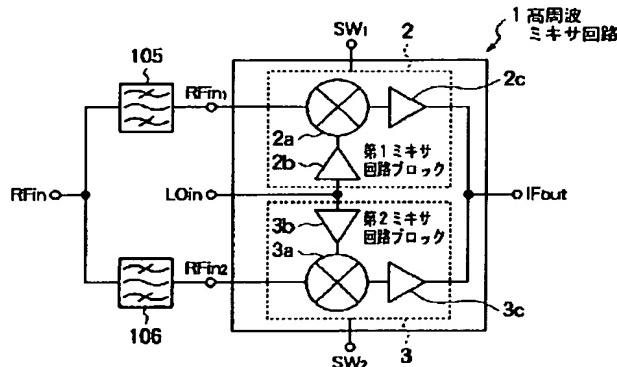
【図15】図14と同じ試作例において、バイアス電流のスイッチ端子電圧 V_{sw} 依存性を測定し、その結果をグラフ化したものである。

【符号の説明】

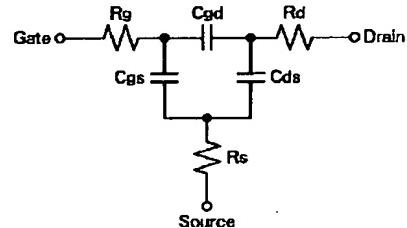
1…高周波ミキサ回路（高周波回路）、2…第1ミキサ回路ブロック、3…第2ミキサ回路ブロック、2a, 3*

* a…ミキサ部、2 b, 3 b…L O バッファアンプ、2 c, 3 c…I F バッファアンプ、20…高周波増幅回路（高周波回路）、21…第1回路ブロック、22…第2回路ブロック、111…入力整合回路、112…出力整合回路、105, 106…狭帯域フィルタ、Q11, Q12, Q19, Q20…ミキサ用トランジスタ、Q13, Q14…L O 増幅用トランジスタ、Q15, Q16…出力スイッチ用トランジスタ、Q17, Q18…入力スイッチ用トランジスタ、Q21, Q22…I F 增幅用トランジスタ、Q23, Q24…ゲートバイアス設定用トランジスタ、Q30…高周波増幅用トランジスタ、Qs1, Qs2…直流スイッチ用トランジスタ、Rss, Rss1, Rss2…ソース抵抗素子（負荷抵抗）、RL1, RL2…バイアス回路の負荷抵抗、RFin1, RFin2…RF入力端子、LOin…LO信号入力端子、Vdd…電源端子、SW1, SW2…スイッチ端子。

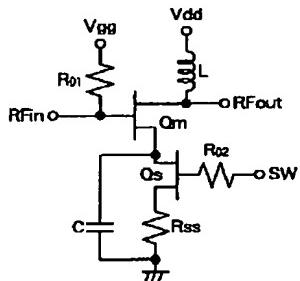
【図1】



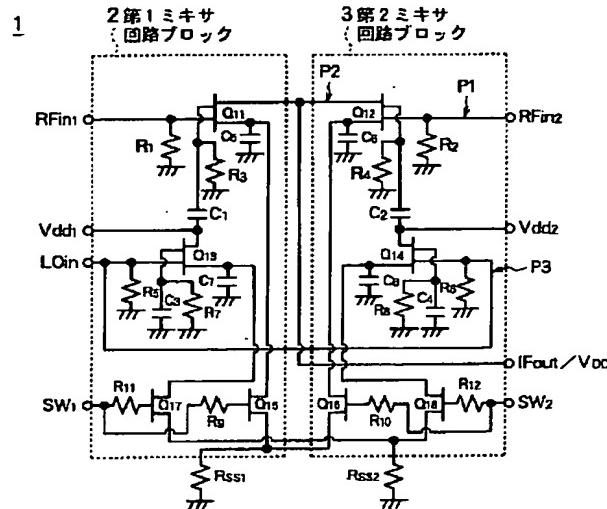
【図2】



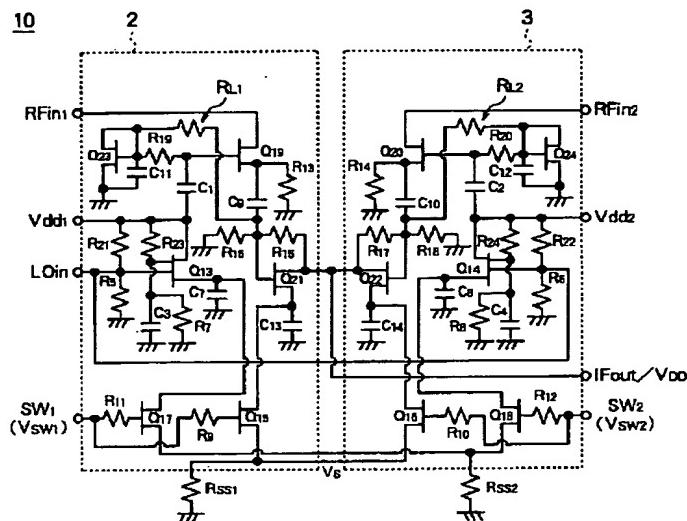
【図3】



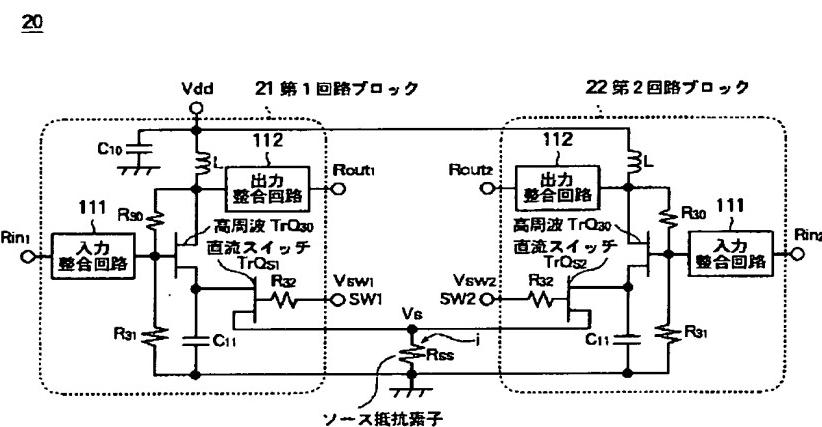
【図4】



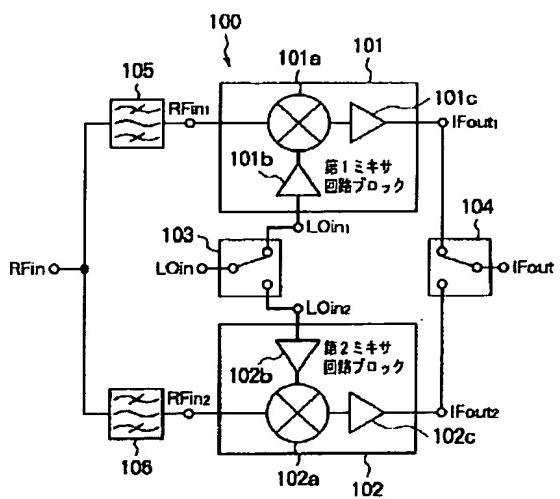
【図5】



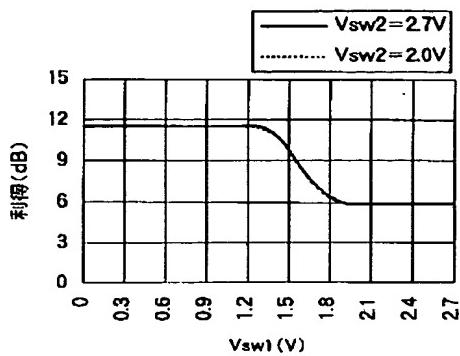
【図6】



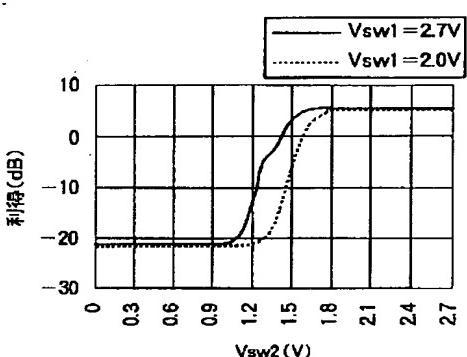
【図9】



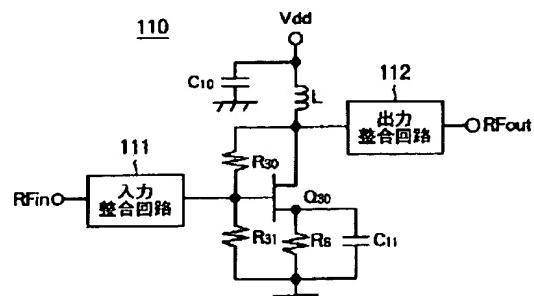
【図7】



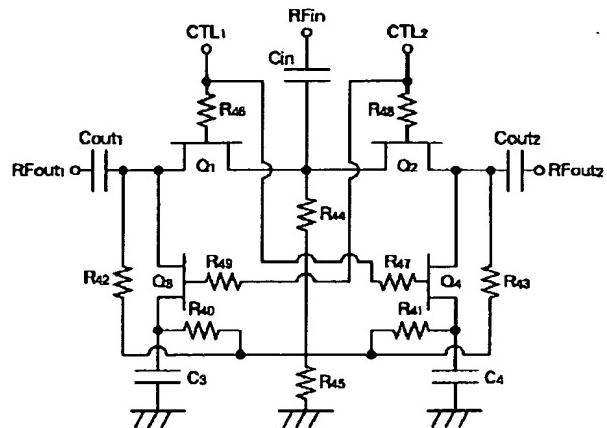
【図8】



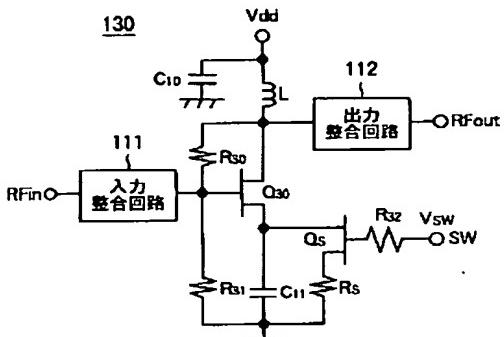
【図11】



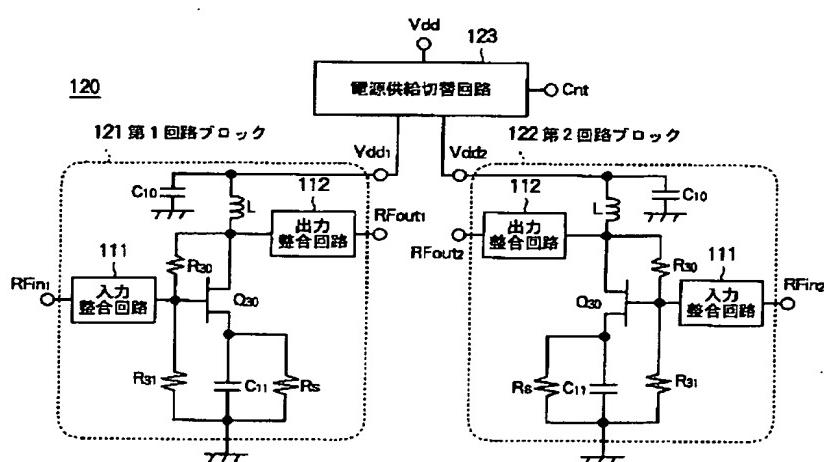
【図10】



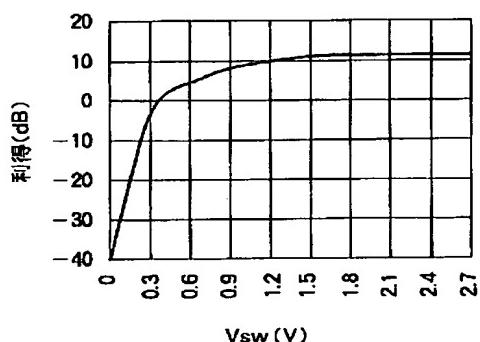
【図13】



【図12】



【図14】



【図15】

